

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-111580
 (43)Date of publication of application : 22.04.1994

(51)Int.Cl.

G11C 11/413

(21)Application number : 04-260171
 (22)Date of filing : 29.09.1992

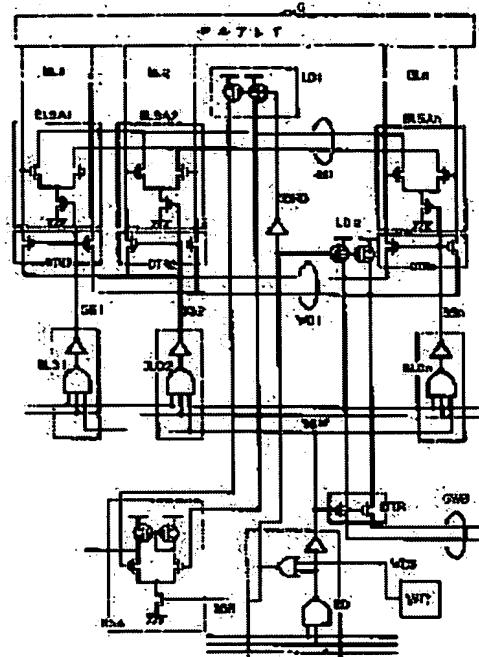
(71)Applicant : NEC CORP
 (72)Inventor : KONDO KENJI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To reduce an occupancy area and a driving load and to make an operation at a high speed by controlling the load circuit of a differential amplifying circuit for responding to respective bit line pairs and having an output signal line pair and a load circuit as common units with a circuit arranged for controlling the switching of the operations for a write-in and a read-out.

CONSTITUTION: Bit lines (BL)1 to (n) arranged at every column of a memory array 6 are connected to transfer gate circuits (DTR) 1 to (n) via the differential amplifying circuits (BSA) 1 to (n). The output signal line pair (RB) 1 and the load circuit (LD) 1 are common units for each BSA, each DTR transmits a write-in data to BL. Then, the switching of the operation of write-in/read-out is performed by a control circuit WR and also decode circuits for BL selection (BLD) 1 to (n) are controlled by the same WR via a decode circuit BD and the differential amplifying circuit BSA. Selective signals SS 1 to (n) are generated in each BLD and BSA and DTR are selected and then LD1 is controlled by each BLD. Thus, the occupancy area and the driving load are reduced, and the operation of the circuit is accelerated.



LEGAL STATUS

[Date of request for examination] 20.12.1996
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 2910447
 [Date of registration] 09.04.1999
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right] 09.04.2002

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-111580

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.
C 11 C 11/413

識別記号

序内整理番号

F I

技術表示箇所

6741-5L

C 11 C 11/ 34

3 0 2 A

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号

特願平4-260171

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成4年(1992)9月29日

(72)発明者 近藤 賢司

東京都港区芝五丁目7番1号 日本電気株式会社内

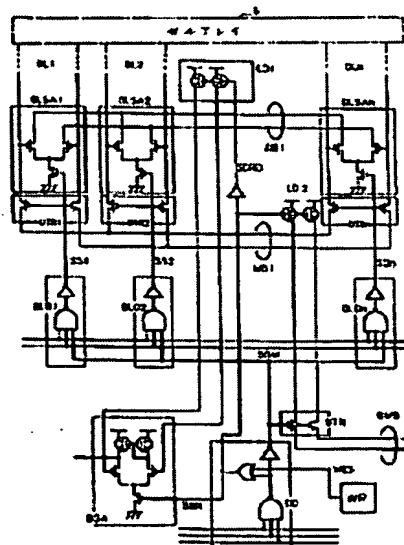
(74)代理人 弁理士 井出 直孝

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 ビット線対ごとにそれぞれ対応して設けられ、その出力信号線対と負荷回路を共通にした差動増幅回路の選択用デコード回路の占有面積を縮小し、書き込み、読み出し動作の切り替えを制御する回路の出力信号線の駆動負荷を低減して回路動作を高速に行えるようにする。

【構成】 ビット線対ごとにそれぞれ対応して設けられ、その出力信号線対と負荷回路を共通にした差動増幅回路の負荷回路を書き込み、読み出し動作の切り替えを制御する回路により制御する。



【特許請求の範囲】

【請求項 1】 m 行、 n 列のマトリクス状に配列された複数のメモリセルを含むセルアレイ (6) と、このメモリセルの各列ごとにそれぞれ対応して設けられたその対応する列のメモリセルとそれぞれ接続するビット線対 (BL 1～BL n) と、このビット線対ごとにそれぞれ対応して設けられた出力信号線対 (RB 1) と負荷回路 (LD 1) とを共通にした差動増幅回路 (BLSA 1～BLSA n) と、前記ビット線対ごとにそれぞれ対応して設けられたその対応するビット線対に書き込みデータを伝達するトランスマルチплексор (DTR 1～DTR n) と、書き込みおよび読み出し動作の切り替えを制御する制御回路 (WR) とを備えた半導体記憶装置において、前記負荷回路 (LD 1) を前記制御回路 (WR) により制御する手段 (BD、BSA) と、前記差動増幅回路 (BLSA 1～BLSA n) および前記トランスマルチплексор (DTR 1～DTR n) を選択する共通の選択信号 (SS 1～SS n) を発生する手段 (BLD 1～BLD n) とを備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記負荷回路はPチャネル型絶縁ゲート電界効果トランジスタ、またはNチャネル型絶縁ゲート電界効果トランジスタである請求項 1記載の半導体記憶装置。

【発明の詳細な説明】

[0 0 0 1]

【産業上の利用分野】：本発明は、半導体記憶装置の差動巡回回路に関する。本発明は、ビット競対選択用デコード回路の占有面積を小さくし、巡回動作の高速化をはかることができる半導体記憶装置に関する。

{0 0 0 2}

【従来の技術】従来技術を図1および図4を参照して説明する。図1は一般的な半導体記憶装置の全体構成を示すブロック図である。従来の半導体記憶装置は、チップイネーブル制御回路1と、書き込みおよび読み出し動作の切り替えを制御する切替制御回路2と、データの出入力を行う出入力回路3と、カラムデコード4と、データの出入力を制御する出入力制御回路5と、セルアレイ6と、ロウデータ7とを備える。図4は従来の半導体記憶装置のビット線対に接続される出入力回路およびそれらを選択するためデコード回路の構成を示す図である。図中B1L1、B1L2、B1Lnはビット線対、B1SA1、B1SA2、B1SA3とB1SA4はビット線対B1L1、B1L2、B1Lnごとにそれに対応して設けられ、その出力信号線対と負荷回路を共通した差動増幅回路、LD1は差動増幅回路B1SA1、B1SA2、B1SA3に共通の負荷回路、RD1は差動増幅回路B1SA1、B1SA2、B1SA3とB1SA4に共通の出力信号線対、SR1、SR2、SRnはそれぞれ差動増幅回路B1SA1、B1SA2、B1SA3とB1SA4に共通の出力信号線対である。

SA2、BLSAnの選択信号線、DTR1、DTR2、DTRnはビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられその対応するビット線対BL1、BL2、BLnに書き込みデータを伝送するトランシスタゲート回路、WB1は書き込みデータ線対、LD2は書き込みデータ線対WB1が非選択のとき電源電圧にプリチャージする負荷回路、SW1、SW2、SWnはそれぞれトランシングート回路DTR1、DTR2、DTRnの選択信号線、BLD1、BLD2、BLDnはビット線対BL1、BL2、BLnごとにそれぞれ対応して設けられたビット線対選択用デコード回路、GWBはグローバルな書き込みデータ線対、BTRRは書き込みデータ線対WB1とGWBとを接続するトランシスタゲート回路、BSAは差動増幅回路、S BWはビット線対選択用デコード回路BLD1、BLD2、BLDnおよびトランシスタゲート回路BTRの選択信号線、SBRは差動増幅回路BSAの選択信号線、WESは半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線、BDは半導体記憶装置内の前述した全回路を含む複数に分割されたメモリセルブロックを選択するデコード回路である。

【0003】次に、このように構成された従来例装置の動作について説明する。

【0004】メモリセルブロックを選択するデコード回路B Dは、半導体記憶装置に入力されたアドレス信号のデコード信号を受けピット線対選択用デコード回路B D 1、B LD 2、B LD n、およびトランസファゲート回路B T Rの選択信号線S B Wに選択信号を発生するとともに、アドレス信号のデコード信号と半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線W E Sからの信号の論理を取って選択信号線S B R上に選択信号を発生させる。また、ピット線対B L 1、B L 2、B L nごとにそれぞれ対応して設けられたピット線対選択用デコード回路B LD 1、B LD 2、B LD nは、半導体記憶装置に入力されたアドレス信号のデコード信号および選択信号S B Wを受け、ピット線対B L 1、B L 2、B L nごとにそれぞれ対応して設けられ書き込みデータを伝達するトランസファゲート回路D T R 1、D T R 2、D T R nへの選択信号線S W 1、S W 2、S W nに選択信号を発生するとともに、アドレス信号のデコード信号、選択信号線S B Wからの選択信号、半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線W E Sからの出力信号の論理を取って、ピット線対B L 1、B L 2、B L nごとにそれぞれ対応して設けられその出力信号線対と負荷回路を共通にした差動增幅回路B L S A 1、B L S A 2、B L S A nへの選択信号線S R 1、S R 2、S R nに選択信号を発生させる。

【0.005】ここで、図4に示す回路を含む半導体記憶装置が書き込み動作状態でデコード回路B/Dによってメ

モリセルブロックおよびそれに含まれるビット線対BL1、BL2、BLnの一つであるビット線対BL1が選択されると選択信号線SWBおよびSW1が“Hieh”電位となりトランസファゲート回路BLTRおよびBLTR1が“ON”状態となり、書き込みデータ線対GWB、書き込みデータ線対WB1、およびビット線対BL1が電気的に接続され、半導体記憶装置に入力された書き込みデータが書き込みデータ線対GWBを通じて書き込みデータ線対WB1に伝達され、それがビット線対BL1に伝達される。また、半導体記憶装置は書き込み状態であるから出力信号線SWESは“Hieh”電位となり選択信号線SBRおよびSR1が“Low”電位となり差動増幅回路BLSA1、BSAが非選択となり消費電力が低減される。

【0006】

【発明が解しようとする課題】前述した従来の半導体記憶装置のビット線対に接続される入出力回路およびそれらを選択するためのデコード回路では、ビット線対ごとにそれぞれ対応して設けられた出力信号線対と負荷回路を共通にした差動増幅回路と、ビット線対ごとにそれぞれ対応して設けられた出力信号線対と書き込みデータを伝達するトランസファゲート回路とを選択する信号線を図4に示すようにSR1、SR2、SRnとSW1、SW2、SWnに分離し、書き込み動作時に差動増幅回路を非選択にすることによって消費電力を低減をはかっているために、ビット線対ごとにそれぞれ対応して設けられたビット線対選択用デコード回路BLD1、BLD2、BLDnは、その内部に選択信号線SW1、SW2、SWnに選択信号を発生されるデコード回路と、選択信号線SR1、SR2、SRnに選択信号を発生させるデコード回路の二つの回路を有さなければならぬ。そのためビット線対ごとにそれぞれ対応して設けられたビット線対選択用デコード回路の半導体記憶装置内の占有面積が増大し、書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線の駆動負荷が増大する問題があった。本発明はこのような問題を解決するもので、ビット線対選択用デコード回路の占有面積を小さくし、出力信号線の駆動負荷を低減して回路動作の高速化をはかることができる装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、m行、n列のマトリクス状に配列された複数のメモリセルを含むセルアレイと、このメモリセルの各列ごとにそれぞれ対応して設けられた対応する列のメモリセルとそれら接続するビット線対と、このビット線対ごとにそれぞれ対応して設けられた出力信号線対と負荷回路とを共通にした差動増幅回路と、前記ビット線対ごとにそれぞれ対応して設けられた対応するビット線対に書き込みデータを伝達するトラン斯ファゲート回路と、書き込みおよび読み出し動作の切り替えを制御する回路とを備え、さらに、本発明の特徴として、負荷回路LD1を制御回路WRにより制御する手段を構成するデコード回路BD、差動増幅回路BSAと、差動増幅回路BLSA1～BLSA nおよびトラン斯ファゲート回路DTR1～DTRnを選択する共通の選択信号SS1～SSnを発生するビット線対選択用デコード回路BLD1～BLDnとを備える。

読み出し動作の切り替えを制御する制御回路とを備えた半導体記憶装置において、前記負荷回路を前記制御回路により制御する手段と、前記差動増幅回路および前記トラン斯ファゲート回路を選択する共通の選択信号を発生する手段とを備えたことを特徴とする。

【0008】

【作用】ビット線対ごとにそれぞれ対応して設けられた出力信号線対と負荷回路とを共通にした差動増幅回路の共通の負荷回路を書き込み、読み出し動作の切り替えを制御する回路の出力信号線と、半導体記憶装置に入力されたアドレス信号のデコード信号の論理をとった信号で制御する。

【0009】これにより、ビット線対ごとにそれぞれ対応して設けられたビット線対選択用デコード回路の占有面積を小さくすることができ、書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線の駆動負荷を低減して回路動作の高速化をはかることができる。

【0010】

【実施例】次に、本発明実施例を図面に基づいて説明する。図1は本発明は実施例および従来例に係わる半導体記憶装置の全体構成を示すブロック図である。

【0011】本発明実施例は、チップイネーブル制御回路1と、書き込みおよび読み出し動作の切り替えを制御する切替制御回路2と、データの入出力を行う入出力回路3と、カラムデコーダ4と、データの入出力を制御する入出力制御回路5と、セルアレイ6と、ロウデコーダ7と備えて全体が構成される。

【0012】(第一実施例)図2は本発明第一実施例における入出力回路およびデコード回路の構成を示す図である。

【0013】本発明第一実施例は、m行、n列のマトリクス状に配列された複数のメモリセルを含むセルアレイ6と、このメモリセルの各列ごとにそれぞれ対応して設けられた対応する列のメモリセルとそれら接続するビット線対BL1～BLnと、このビット線対BL1～BLnごとにそれぞれ対応して設けられた出力信号線対RBL1と負荷回路LD1とを共通にした差動増幅回路BLSA1～BLSA nと、ビット線対BL1～BLnごとにそれぞれ対応して設けられた対応するビット線対BL1～BLnに書き込みデータを伝達するトラン斯ファゲート回路DTR1～DTRnと、書き込みおよび読み出し動作の切り替えを制御する制御回路WRとを備え。さらに、本発明の特徴として、負荷回路LD1を制御回路WRにより制御する手段を構成するデコード回路BD、差動増幅回路BSAと、差動増幅回路BLSA1～BLSA nおよびトランスファゲート回路DTR1～DTRnを選択する共通の選択信号SS1～SSnを発生するビット線対選択用デコード回路BLD1～BLDnとを備える。

【0014】図中、BL1、BL2、BLnはビット線

対、B LSA1、B LSA2、B LSA_nはビット線対B L1、B L2、B L_nごとにそれぞれ対応して設けられその出力信号線対と負荷回路を共通にした差動増幅回路であり、LD 1はこの差動増幅回路B LSA1、B LSA2、B LSA_nに共通の負荷回路でPチャネル型絶縁ゲート電界効果トランジスタで構成される。また、RB 1は差動増幅回路B LSA1、B LSA2、B LSA_nに共通の出力信号線対、DTR 1、DTR 2、DTR_nはビット線対B L1、B L2、B L_nごとにそれぞれ対応して設けられ、対応するビット線対B L1、B L2、B L_nに書き込みデータを伝達するためのトランスマッタ回路、WB 1は書き込みデータ線対、LD 2はこの書き込みデータ線対WB 1が非選択のとき電源電圧にプリチャージするための負荷回路、SS 1、SS 2、SS_nはそれぞれ半導体記憶装置に差動増幅回路B LSA1、B LSA2、B LSA_nおよびトランスマッタ回路DTR 1、DTR 2、DTR_nの選択信号線、BLD 1、BLD 2、BLD_nはビット線対B L1、B L2、B L_nごとにそれぞれ対応して設けられたビット線対選択用データ回路、GW Bはグローバルな書き込みデータ線対、BTR 1は書き込みデータ線対WB 1およびGW Bを接続するためのトランスマッタ回路、BSA 1は差動増幅回路、SBW 1はビット線対選択用データ回路BLD 1、BLD 2、BLD_nおよびトランスマッタ回路BTR 1の選択信号線、SBR 1は差動増幅回路BSA 1の選択信号線、WES 1は制御回路WRからの半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の書き込み出切替信号線、BD 1は半導体記憶装置内の前述した全回路を含む複数に分割されたメモリセルブロックを選択するためのデータ回路、WR 1は制御回路である。

【0015】次に、このように構成された本発明第一実施例の動作について説明する。

【0016】メモリセルブロックを選択するためのデータ回路BTR 1は、半導体記憶装置に入力されたアドレス信号のデータ回路信号を受けビット線対選択用データ回路BLD 1、BLD 2、BLD_nおよびトランスマッタ回路BTR 1の選択信号線SBW 1への選択信号を発生するとともに、アドレス信号のデータ回路信号と半導体記憶装置の書き込みおよび読み出し動作の切り替えを制御する回路の出力信号線WES 1からの出力信号の論理をとって選択信号線SBR 1への選択信号を発生させる。

【0017】ビット線対BL 1、BL 2、BL_nごとにそれぞれ対応して設けられたビット線対選択用データ回路BLD 1、BLD 2、BLD_nは、半導体記憶装置に入力されたアドレス信号のデータ回路信号および選択信号線SBW 1からの選択信号を受け、ビット線対BL 1、BL 2、BL_nごとにそれぞれ対応して設けられ、対応するビット線対BL 1、BL 2、BL_nに書き込みデータを伝達するトランスマッタ回路DTR 1、DTR_n

2、DTR_n、およびビット線対BL 1、BL 2、BL_nごとにそれぞれ対応して設けられ、その出力信号線対と負荷回路を共通にした差動増幅回路B LSA1、B LSA2、B LSA_nの選択信号線SS 1、SS 2、SS_nに選択信号を発生する。

【0018】ここで、図2に示す回路を含む半導体記憶装置が書き込み動作状態でデータ回路BTR 1によってメモリセルブロックおよびそれに含まれるビット線対BL 1、BL 2、BL_nのうちのBL 1が選択されると、選択信号線SBW 1およびBTR 1が“H”電位となりトランスマッタ回路BTR 1およびDTR 1が“0”電位となり、書き込みデータ線対GW BおよびWB 1とビット線対BL 1が電気的に接続され半導体記憶装置に入力された書き込みデータが書き込みデータ線対GW Bを通じて書き込みデータ線対WB 1に伝達され、それがビット線対BL 1に伝達される。

【0019】また、半導体記憶装置は書き込み状態であるから書き込み出切替信号線WES 1は“H”電位となり、選択信号線SBR 1が“L”電位となって差動増幅回路BSA 1が非選択となり消費電力が低減される。かつ、ビット線対BL 1、BL 2、BL_nごとにそれぞれ対応して設けられ、その出力信号線対と負荷回路を共通にした差動増幅回路の共通の負荷回路LD 1を制御する信号線SBR 1が“H”電位となり負荷回路LD 1を“OFF”状態にし、ビット線対BL 1、BL 2、BL_nごとにそれぞれ対応して設けられその出力信号線対と負荷回路を共通にした差動増幅回路B LSA 1、B LSA2、B LSA_nが非選択となって消費電力が低減される。

【0020】(第二実施例)図3は本発明第二実施例の半導体記憶装置のビット線対に接続される入出力回路およびそれらを選択するためのデータ回路の回路図である。図中BL 1、BL 2、BL_nはビット線対、B LSA1、B LSA2、B LSA_nはビット線対ごとにそれぞれ対応して設けられその出力信号線対と負荷回路を共通にした差動増幅回路、LD 1は差動増幅回路B LSA 1、B LSA2、B LSA_nに共通の負荷回路でNチャネル型絶縁ゲート電界効果トランジスタで構成される。第二実施例と第一実施例との相違点は負荷回路LD 1を構成する絶縁ゲート電界効果トランジスタがPチャネル型絶縁ゲート電界効果トランジスタからNチャネル型絶縁ゲート電界効果トランジスタに変わり、その制御信号がSBR 1からその逆位相のSBR 2に変わったところにあり、各回路および信号線動作および効果は第一実施例と同様である。

【0021】

【発明の効果】以上説明したように本発明によれば、ビット線対ごとにそれぞれ対応して設けられたビット線対選択用データ回路の占有面積を小さくするとともに、書き込み、読み出し動作の切り替えを制御する回路の出

力信号線の駆動負荷を低減して回路動作の高速化をはかることができる効果がある。

【図1の概要な説明】

【図1】本発明実施例および従来例に係る半導体記憶装置の全体構成を示すブロック図。

【図2】本発明第一実施例における入出力回路およびデコード回路の構成を示す図。

【図3】本発明第二実施例における入出力回路およびデコード回路の構成を示す図。

【図4】従来例における入出力回路およびデコード回路の構成を示す図。

【符号の説明】

- 1 チップイネーブル制御回路
- 2 切替制御回路
- 3 入出力回路
- 4 カラム デコーダ
- 5 入出力制御回路
- 6 セルアレイ

7 ロウデコーダ

BL1, BL2, BLn ビット線対
BLSA1, BLSA2, BLSA_n, BSA 並動作
回路

LD1, LD2 負荷回路

R81 出力信号線対
DTR1, DTR2, DTRn, BTR トランスマ
ゲート回路

WB1 書き込みデータ線対

SS1, SS2, SSn, SBR, BSA, SR1, S
R2, SRn, SW1, SW2, SWn 選択信号線

BLD1, BLD2, BLDn ビット線対選択用デコ
ード回路

GWB 書き込みデータ線対

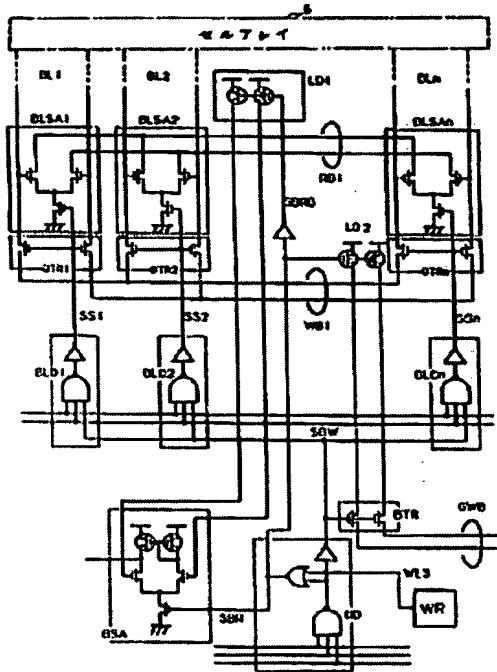
WES 書込読み出切替信号線

BD デコード回路

SBRB 制御信号線

WR 制御回路

【図2】



【図3】

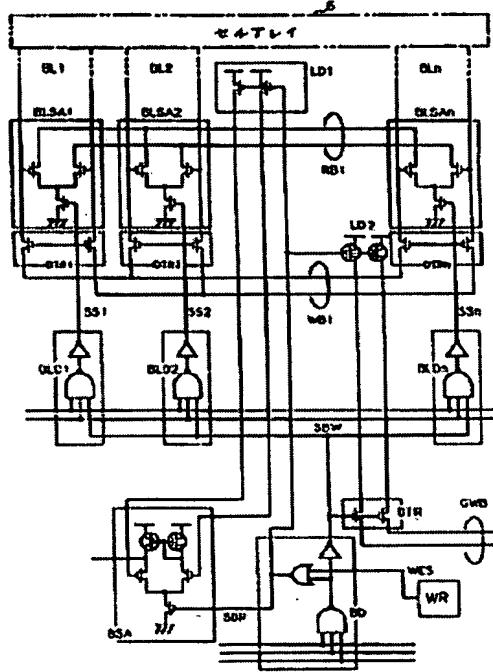
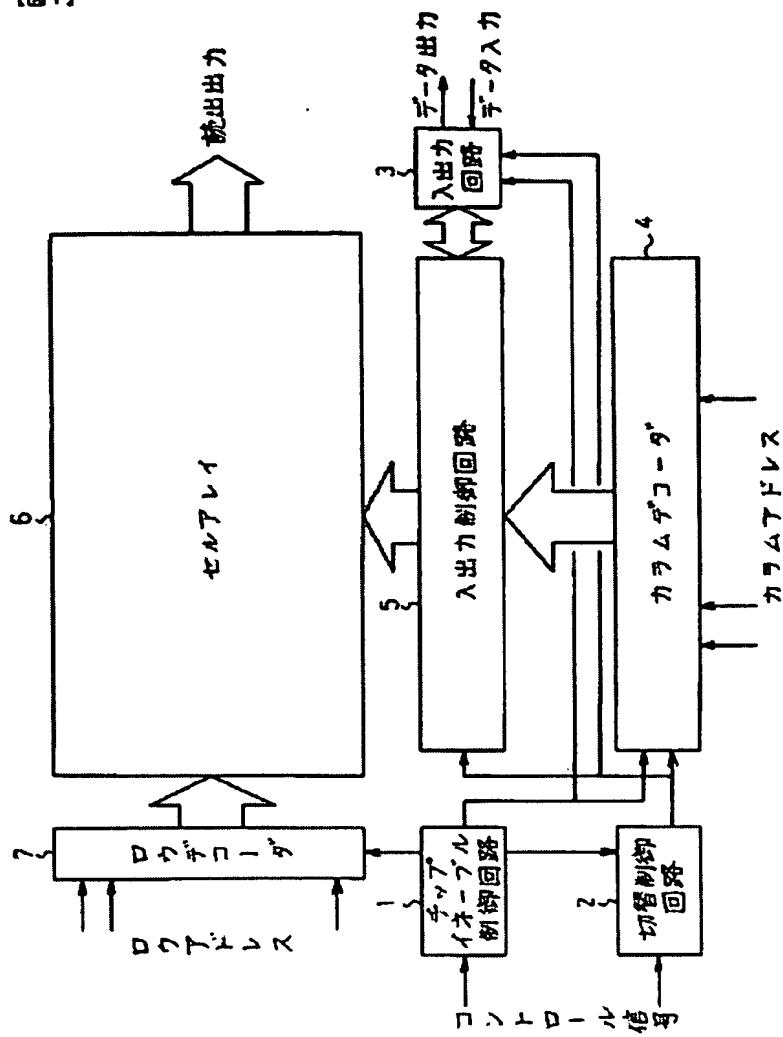


図1



4

